⑩ 日本国特許庁(JP)

① 特許出願公開

⑫ 公 開 特 許 公 報(A) 平4-127545

®Int. Cl. 5

識別記号

庁内整理番号

43公開 平成4年(1992)4月28日

H 01 L 21/60

301 A

6918-4M

審査請求 未請求 請求項の数 2 (全3頁)

69発明の名称 半導体集積回路装置

> ②特 願 平2-249184

22出 願 平2(1990)9月19日

加発 明 者 \mathbf{H} 西

東京都港区芝5丁目7番1号 日本電気株式会社内 宏

本 個発 明 者 松 亮 冶 東京都港区西新橋3丁目20番4号 日本電気エンジニアリ

ング株式会社内

@発 明 者 奥 山 直 樹 東京都港区西新橋3丁目20番4号 日本電気エンジニアリ

ング株式会社内

日本電気株式会社 の出 願 人

東京都港区芝5丁目7番1号

の出 願 人 日本電気エンジニアリ 東京都港区西新橋3丁目20番4号

ング株式会社

個代 理 人 弁理士 内 原

発明の名称

半導体集積回路装置

特許請求の範囲

1. 内蔵する半導体チップをインナーリードに 接続する構造の半導体集積回路装置において、接 綾経路を変換する機能を持つ接続経路変換板を介 して前記半導体チップを前記インナーリードに接 続することを特徴とする半導体集積回路装置。

2. 前記半導体チップと前記接続経路変換板と の間および前記接続経路変換板と前記インナーリ ードとの間の接続の少くなくとも一部をポンデン グワイヤを用いて行うことを特徴とする請求項1 記載の半導体集積回路装置

発明の詳細な説明

〔産業上の利用分野〕

本発明は半導体集積回路装置に関する。

〔従来の技術〕

従来の半導体集積回路装置は、内蔵する半導体 チップをインナーリードに接続する構造を取る場 合、リード線の構造上の制約から半導体チップ上 のパッドの位置と半導体集積回路装置のリードと の位置の対応が決っていた。

(発明が解決しようとする課題)

この従来の半導体集積回路装置では、半導体チ ップトのパッドの位置に対する半導体集積回路装 置のリードの位置の対応が決っているため、半導 体チップ上で最適のレイアウトを行うと、半導体 集積回路装置の入出力信号のリードの位置がおの ずと決定され、このことが逆にこの半導体集積回 路装置を用いるプリント基板での信号線の配線を 闲難にすることがあるという問題点があった。ま た、半導体集積回路装置のリード線側で入出力信 号のピンの位置を決定すると、半導体チップ上で のパッドの位置がおのずと決定されてしまい、半 導体チップ上で最適なレイアウトを行うことがで きず、例えば出力バッファの同時動作等による訳 動作の原因となるという問題点もあった。

〔課題を解決するための手段〕

本発明の半導体集積回路装置は、内蔵する半導体チップをインナーリードに接続する構造の半導体集積回路装置において、接続経路を変換する機能を持つ接続経路変換板を介して前記半導体チップを前記インナーリードに接続する構成である。

本発明の半導体集積回路装置は、前記半導体チップと前記接続経路変換板との間および前記接続経路変換板との間および前記接続経路変換板と前記インナーリードとの間の接続の少くなくとも一部をボンデングワイヤを用いて行ってもよい。

〔実施例〕

次に本発明について図面を参照して説明する。 第1図(a)は本発明の一実施例のボンデング ワイヤの接続を模式化した平面図、第1図(b) は同じく側面図である。

半導体チップ1は、両端に接続用パッドを持つ 複数の信号線2を配設した配線板3との間に絶縁 膜4を挟んで半導体集積回路装置5に収容されて

〔発明の効果〕

以上説明したように本発明は、半導体チップ上の任意のパッドと任意のインナーリードとを接続することを可能としたので、半導体チップ上でのレイアウトから半導体集積回路装置のインターリ

ードの位置が制約を受けることがなくなり、プリント基板上での信号線の配線も容易に行えるようになるという効果がある。また、半導体チップ上でのレイアウトが自由に行えるため、出力バッファを各地気パッドごとに分散させて配置することが可能となり、出力バッファの同時動作業による影響を小さくできるという効果もある。

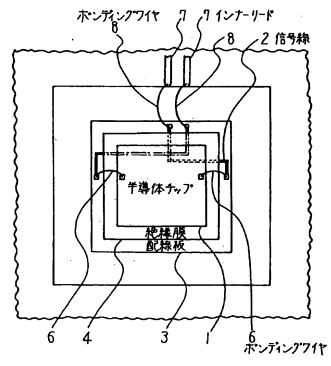
図面の簡単な説明

第1図(a)は本発明の一実施例のボンデング ワイヤの接続を模式化した平面図、第1図(b) は同じく側面図である。

1 … 半導体チップ、2 …信号線、3 … 配線板、4 … 絶縁板、5 … 半導体集積回路装置、6 , 8 … ボンデングワイヤ、7.…インナーリード。

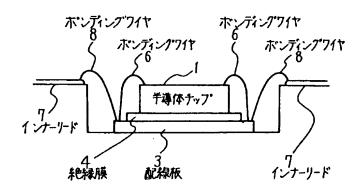
代理人 弁理士 内 原 晋

5 半導体集積回路装置



第1 図(a)

5 半導体集積回路装置



第1図(b)